

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020034373 A
(43)Date of publication of application: 09.05.2002

(21)Application number: 1020000064592

(71)Applicant:

HYNIX SEMICONDUCTOR INC.

(22)Date of filing: 01.11.2000

(72)Inventor:

PARK, YEONG BAE

(51)Int. Cl.

H01L 21/28

(54) METHOD FOR FABRICATING METAL INTERCONNECTION OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for fabricating a metal interconnection of a semiconductor device is provided to control a migration of copper atoms through an interface, by thinly forming a Ti or Cr layer having excellent reactivity with copper so that an adhesion promoter layer (APL) is formed.

CONSTITUTION: An interlayer dielectric(12) is deposited on a semiconductor substrate(11) having a lower interconnection, and a portion for a via contact hole and an interconnection is etched. A diffusion barrier layer(13) is deposited on the resultant structure, and copper(14) is vacuum-deposited. An electroplating process is performed to form a via contact and the interconnection. The Ti or Cr layer having excellent reactivity with copper as the APL (15) is thinly deposited on the interconnection. An oxynitride layer(16) is formed on the resultant structure to prevent copper from being diffused to the inside of a subsequent oxide layer.



© KIPO 2002

Legal Status

Date of final disposal of an application (20021014)

국내공개특허공보 제2002-34373호(2002.05.09) 1부.

[첨부그림 1]

특 2002-0034373

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/28

(11) 공개번호 특2002-0034373
(43) 공개일자 2002년 05월 09일

(21) 출원번호 10-2000-0064592
(22) 출원일자 2000년 11월 01일
(71) 출원인 주식회사 하이닉스반도체 박종섭
경기 마천시 부말읍 마미리 산136-1
(72) 발명자 박영배
대전광역시 대덕구 신탄진동 22-2 한신아파트 301동 1201호
(74) 대리인 박정원

특허청구 : 없음

(54) 반도체 소자의 금속배선 형성방법

요약

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 종래에는 구리 배선과 상부 절화산화막의 낮은 접착특성으로 인해 높은 전류밀도를 갖게 되어 구리원자가 계면을 통해 쉽게 이동하여 초소형 설계 배선의 전자이동 수명이 짧아지기 때문에 신뢰성이 저하되는 문제점이 있었다. 따라서, 본 발명은 하부배선 미 형성된 반도체기판의 상부에 용간결막을 증착한 다음 비아콘택홀과 배선 부분을 식각하는 공정과; 상기 결과물의 상부전면에 확산방지층을 증착한 다음 구리를 전공증착하고, 계속적으로 전기도금하여 비아콘택홀과 배선을 형성하는 공정과; 상기 배선의 상부에 접착촉진층으로 구리와 반응성이 좋은 Ti 또는 Cr을 얇게 증착하는 공정과; 상기 결과물의 상부전면에 후속 산화막 내부로의 구리확산을 방지하기 위하여 절화산화막을 증착하는 공정으로 이루어지는 반도체 소자의 금속배선 형성방법을 통해 구리와 반응성이 좋은 금속인 Ti 또는 Cr을 얇게 증착하여 접착촉진층을 형성함에 따라 구리 배선과 접착촉진층의 계면 접착력이 향상되므로, 계면을 통한 구리원자의 이동을 억제하여 초소형 설계 배선의 전자이동 수명을 향상시킴으로써, 신뢰성을 향상시킬 수 있는 효과가 있다.

도면

도 2

발명자

도면의 간단한 설명

도 1은 종래 반도체 소자의 금속배선 구조를 보인 단면도.
도 2는 본 발명에 의한 반도체 소자의 금속배선 구조를 보인 단면도.
도 3은 종래기술과 본 발명의 비교 그래프도.
도면의 주요부분에 대한 부호의 설명

11:반도체기판 12:용간결막
13:확산방지막 14:구리
15:접착촉진층 16:산화물화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 특히 비아콘택 및 배선 물질로 구리를 적용한 구리 듀얼 다마신(copper dual damascene) 공정에서 초소형 설계 배선(sub-micron design)의 신뢰성을 향상시키기 위해 적당하도록 한 반도체 소자의 금속배선 형성방법에 관한 것이다.

종래 반도체 소자의 금속배선은 도 1의 단면도에 도시한 바와같이 하부배선이 형성된 반도체기판(1)의 상부에 용간결막(2)을 증착한 다음 비아콘택홀과 배선 부분을 식각한다.

그리고, 상기 결과물의 상부전면에 확산방지층(3)을 증착한 다음 구리(4)를 전공증착하고, 계속적으로 전

기도금하여 비아콘택과 배선을 형성한다.

이후에, 상기 결과물의 상부전면에 후속 산화막 내부로의 구리확산을 방지하기 위하여 질화산화막(5)을 증착한다.

이때, 초소형 설계 배선의 경우에는 배선 선폭의 크기가 결정립(grain)의 크기보다 작기 때문에 배선 내 결정립 경계(grain boundary)가 적은 대나무(bamboo)구조가 된다.

따라서, 전자이동(electromigration) 현상을 일으키는 원자이동 경로가 배선 표면이 되어 배선과 상부층과의 접착력이 매우 중요해진다.

그러나, 구리(4) 배선의 경우에는 상부의 질화산화막(5)과 낮은 접착특성으로 인해 높은 전류밀도를 갖게 되어 구리원자가 계면을 통해 쉽게 이동하여 초소형 설계 배선의 전자이동 수명이 기존의 알루미늄 배선보다 오히려 짧아질 수 있다.

왜냐하면, 알루미늄 배선의 경우에는 표면에 생성되는 자연산화막과 강한 접착특성을 갖게 되므로, 계면을 통한 원자이동을 억제하여 초소형 설계 배선의 전자이동 수명이 길기 때문이다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 비아콘택 및 배선 물질로 구리를 적용한 구리 두께 다마신 공정에서 계면을 통한 구리원자의 이동을 억제하여 초소형 설계 배선의 전자이동 수명을 향상시킬 수 있는 반도체소자의 금속배선 형성방법을 제공하는데 있다.

본 발명의 구성 및 작용

상기한 바와같은 본 발명의 목적을 달성하기 위한 반도체소자의 금속배선 형성방법은 하부배선이 형성된 반도체기판의 상부에 용간절연막을 증착한 다음 비아콘택홀과 배선 부분을 식각하는 공정과; 상기 결과물의 상부전면에 확산방지층을 증착한 다음 구리를 진공증착하고, 계속적으로 전기도금하여 비아콘택과 배선을 형성하는 공정과; 상기 배선의 상부에 접착촉진층으로 구리와 반응성이 좋은 Ti 또는 Cr을 얇게 증착하는 공정과; 상기 결과물의 상부전면에 후속 산화막 내부로의 구리확산을 방지하기 위하여 질화산화막을 증착하는 공정을 구비하여 이루어지는 것을 특징으로 한다.

상기한 바와같은 본 발명에 의한 반도체소자의 금속배선 형성방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도2는 본 발명에 의한 금속배선의 구조를 보인 단면도로서, 이에 도시한 바와같이 하부배선이 형성된 반도체기판(1)의 상부에 용간절연막(12)을 증착한 다음 비아콘택홀과 배선 부분을 식각한다.

그리고, 상기 결과물의 상부전면에 확산방지층(13)을 증착한 다음 구리(14)를 진공증착하고, 계속적으로 전기도금하여 비아콘택과 배선을 형성한다.

그리고, 상기 구리(14) 배선의 상부에 무전해 도금(electroless plating) 방법이나 또는 선택적 박막증착(selective reactive chemical vapor deposition) 방법을 통해 구리(14)와 반응성이 좋은 금속인 Ti 또는 Cr을 얇게 증착하여 접착촉진층(adhesion promoter layer : APL, 15)을 형성한다. 따라서, 상기 구리(14) 배선과 접착촉진층(15)의 계면 접착력이 향상되므로, 도3에 도시한 종래기술(a)과 본 발명(b)의 비교 그라운드에서 알 수 있듯이 계면을 통한 구리원자의 이동을 억제하여 초소형 설계 배선의 전자이동 수명을 향상시킬 수 있게 된다.

이후에, 상기 결과물의 상부전면에 후속 산화막 내부로의 구리확산을 방지하기 위하여 질화산화막(16)을 증착한다.

본 발명의 효과

상술한 바와같이 본 발명에 의한 반도체소자의 금속배선 형성방법은 구리와 반응성이 좋은 금속인 Ti 또는 Cr을 얇게 증착하여 접착촉진층을 형성함에 따라 구리 배선과 접착촉진층의 계면 접착력이 향상되므로, 계면을 통한 구리원자의 이동을 억제하여 초소형 설계 배선의 전자이동 수명을 향상시킬 수 있어, 신뢰성을 향상시킬 수 있는 효과가 있다.

(5) 청구의 범위

청구항 1

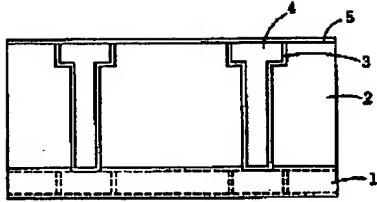
하부배선이 형성된 반도체기판의 상부에 용간절연막을 증착한 다음 비아콘택홀과 배선 부분을 식각하는 공정과; 상기 결과물의 상부전면에 확산방지층을 증착한 다음 구리를 진공증착하고, 계속적으로 전기도금하여 비아콘택과 배선을 형성하는 공정과; 상기 배선의 상부에 접착촉진층으로 구리와 반응성이 좋은 Ti 또는 Cr을 얇게 증착하는 공정과; 상기 결과물의 상부전면에 후속 산화막 내부로의 구리확산을 방지하기 위하여 질화산화막을 증착하는 공정을 구비하여 이루어지는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

청구항 2

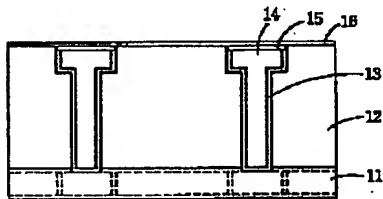
제 1 항에 있어서, 상기 접착촉진층으로 적용되는 Ti 또는 Cr은 무전해 도금 방법이나 또는 선택적 박막증착 방법을 통해 증착하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

도면

도면1



도면2



도면3

